



⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENTAMT

Offenlegungsschrift

⑯ DE 196 48 728 A 1

⑯ Int. Cl. 6:

H 01 L 25/18

H 01 L 21/58

H 05 K 3/34

H 05 K 1/18

⑯ Aktenzeichen: 196 48 728.5

⑯ Anmeldetag: 25. 11. 96

⑯ Offenlegungstag: 2. 10. 97

⑯ Unionspriorität:

8-076947 29.03.96 JP

⑯ Erfinder:

Ishii, Hideki, Tokio/Tokyo, JP

⑯ Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

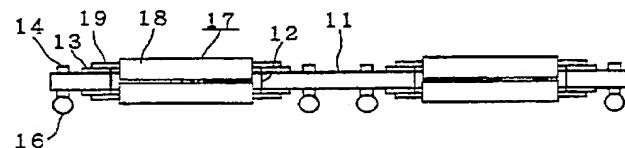
⑯ Vertreter:

Meissner, Bolte & Partner, 80538 München

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Halbleiteranordnung und Verfahren zu ihrer Herstellung

⑯ Es wird eine Halbleiteranordnung angegeben, deren Montage mit reduzierter Dicke und höherer Dichte möglich ist. IC-Gehäuse (17) werden in den jeweiligen Öffnungen (12) auf beiden Seiten eines Substrats (11) in der Weise montiert, daß die entsprechenden Gehäusekörper (18) halb in der jeweiligen Öffnung (12) untergebracht sind, die in dem Substrat (11) ausgebildet ist.



DE 196 48 728 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 08.97 702 040/714

15/25

Beschreibung

Die Erfindung betrifft Halbleiteranordnungen und Verfahren zu ihrer Herstellung. Dabei geht es darum, Halbleiteranordnungen zur Verfügung zu haben, die eine Montage mit geringer Dicke und hoher Dichte ermöglichen.

Fig. 6 zeigt eine Seitenansicht einer herkömmlichen Halbleiteranordnung. Wie aus Fig. 6 ersichtlich, weist die herkömmliche Halbleiteranordnung eine Vielzahl von integrierten Halbleiterschaltungen in Gehäusen auf, die nachstehend als IC-Gehäuse 2 bezeichnet werden und direkt auf der Oberseite und der Unterseite einer Hauptplatine 1 montiert sind. Das Bezugszeichen 3 bezeichnet Kontaktflecken, die auf der Oberseite und der Unterseite der Hauptplatine 1 vorgesehen sind, um die IC-Gehäuse 2 zu montieren.

Bei den oben beschriebenen herkömmlichen Halbleiteranordnungen, bei denen die IC-Gehäuse 2 direkt an der Oberseite und der Unterseite der Hauptplatine 1 montiert sind, begrenzen die oberen und unteren Oberflächen der Hauptplatine 1 den Montageraum, was Schwierigkeiten bereitet, wenn eine hohe Montagedicke realisiert werden soll. Außerdem bewirken die IC-Gehäuse 2, die in einer schwimmenden Weise auf der Hauptplatine 1 montiert sind, daß die Dicke bei der Montage hoch ist, so daß daraus eine geringe Montagedicke resultiert.

Der Erfindung liegt daher die Aufgabe zugrunde, diese Schwierigkeiten der Praxis auszuräumen und Halbleiteranordnungen sowie Verfahren zu ihrer Herstellung anzugeben, mit denen es möglich ist, die Montage mit reduzierter Dicke und hoher Montagedicke auszuführen.

Gemäß einem ersten Aspekt der Erfindung wird eine Halbleiteranordnung angegeben, die folgendes aufweist: ein Substrat mit einer Öffnung sowie integrierte Schaltungen in Gehäusen, die jeweils einen Gehäusekörper, der der Öffnung gegenüberliegt, und Leitungen aufweist, welche von dem Gehäusekörper aus vorstehen und auf dem Substrat am Umfang der Öffnung abgestützt und gehalten sind, wobei die integrierten Schaltungen in den Gehäusen an der Oberseite und der Unterseite des Substrats bezüglich der Öffnung angeordnet sind, wobei zumindest eines von den Gehäusen mit den integrierten Schaltungen an der Oberseite und der Unterseite halb in der jeweiligen Öffnung untergebracht ist.

Da bei einer derartigen Halbleiteranordnung gemäß dem ersten Aspekt der Erfindung die integrierten Schaltungen in den Gehäusen an beiden Seiten eines Substrats montiert sind, wobei zumindest eines der Gehäuse mit den integrierten Schaltungen an der Oberseite und der Unterseite halb in einer Öffnung des Substrats untergebracht ist, ist es möglich, die Dicke bei der Montage zu reduzieren, ohne die Wärmeabstrahlungseigenschaften zu verringern.

Gemäß einem zweiten Aspekt der Erfindung sind bei der Halbleiteranordnung die Leitungen vorzugsweise gerade Leitungen. Damit wird in vorteilhafter Weise erreicht, daß die Gehäuse in einfacher Weise halb in der jeweiligen Öffnung des Substrats untergebracht werden können. Mit anderen Worten, es wird eine Montage mit reduzierter Dicke ermöglicht, die auch die Leitungsbearbeitung erleichtert.

Gemäß einem dritten Aspekt der Erfindung weist die Halbleiteranordnung folgendes auf: Anschlüsse für äußere Verbindungen, die an der oberen Oberfläche und

der unteren Oberfläche des Substrats vorgesehen sind, wobei entsprechende Anschlüsse für äußere Verbindungen an der Oberseite und der Unterseite elektrisch miteinander verbunden sind und elektrisch mit den Leitungen auf derselben Oberflächenseite verbunden sind; und Lotbuckel, die auf den Anschlüssen für äußere Verbindungen auf der einen Oberflächenseite des Substrats vorgesehen sind.

Gemäß diesem dritten Aspekt der Erfindung ermöglichen die Lotbuckel auf den Anschlüssen für äußere Verbindungen auf der einen Oberfläche des Substrats, daß die Gehäuse in einfacher Weise in mehreren Stufen aufeinander gestapelt werden können, um die Montagedicke zu erhöhen.

Gemäß einem vierten Aspekt der Erfindung ist bei der Halbleiteranordnung eine Vielzahl von Halbleiteranordnungen vorgesehen, die übereinander gestapelt auf der einen Seite einer Hauptplatine vorgesehen und mit den Lotbuckeln angeschlossen und befestigt sind.

Gemäß diesem vierten Aspekt der Erfindung sind Substrate, die jeweils mit IC-Gehäusen auf beiden Seiten versehen sind, in einer mehrstufigen Anordnung auf einer Hauptplatine montiert, so daß die Montagefläche reduziert und eine Anordnung mit hoher Dichte realisiert wird. Da weiterhin jedes der Substrate, das mit den IC-Gehäusen auf beiden Seiten versehen ist, eine reduzierte Dicke besitzt, können diese Anordnungen in mehreren Stufen übereinander mit geringer Dicke stapelförmig montiert werden.

Gemäß einem fünften Aspekt der Erfindung ist bei der Halbleiteranordnung eine Vielzahl von Halbleiteranordnungen auf beiden Seiten der Hauptplatine übereinander gestapelt vorgesehen und mit den Lotbuckeln angeschlossen und befestigt. Da die Substrate, die jeweils mit IC-Gehäusen auf beiden Seiten versehen sind, in mehreren Stufen übereinander an beiden Seiten der Hauptplatine vorgesehen sind, kann die Montage mit einer noch größeren Montagedicke realisiert werden, verglichen mit der einseitigen, mehrstufigen Montage.

Gemäß einem sechsten Aspekt der Erfindung weisen die Anschlüsse für äußere Verbindungen der Halbleiteranordnung Blindanschlüsse auf, um die Anzahl der Leitungen zu vergrößern.

Wenn gemäß dem sechsten Aspekt der Erfindung die IC-Gehäuse, die in mehreren Schichten oder Stufen aufeinander zu montieren sind, nicht gemeinsam verwendbare Leitungen aufweisen, dann können die IC-Gehäuse in einer mehrstufigen Anordnung ohne weiteres montiert werden, wobei man dann eine der nicht gemeinsam benutzbaren Leitungen mit einer Blindleitung bzw. einem Blindanschluß verbindet.

Gemäß einem siebenten Aspekt der Erfindung weisen die Blindanschlüsse der Halbleiteranordnung eine Vielzahl von Blindanschlüssen auf, die in mindestens einer linearen Anordnung ausgefluchtet sind, welche verschieden ist von einer linearen Anordnung, in der die anderen Anschlüsse für äußere Verbindungen vorgesehen sind, derart, daß unterschiedliche ausgefluchtete lineare Anordnungen für die Blindanschlüsse einerseits und die normalen Anschlüsse andererseits vorgesehen sind.

Gemäß diesem siebenten Aspekt der Erfindung wird in vorteilhafter Weise erreicht, daß die Halbleiteranordnungen den Anforderungen der Praxis für den Fall genügen, daß eine Vielzahl von nicht gemeinsam verwendbaren Leitungen vorhanden ist.

Gemäß einem acht Aspekt der Erfindung sind bei

der Halbleiteranordnung die lineare Anordnung von Blindanschlüssen und die lineare Anordnung von den anderen Anschlüssen für äußere Verbindungen, die keine Blindanschlüsse sind, in einer versetzten Konfiguration ausgebildet. Eine derartige versetzte Konfiguration ermöglicht es, daß die Zwischenverbindungen in linearer Form ausgebildet sein können, was den Verdrahtungsvorgang erleichtert.

Gemäß einem neunten Aspekt der Erfindung ist bei der Halbleiteranordnung das Substrat derart geformt, daß ein Teil des Substrats, der sich auf der einen Seite oder einem Paar von gegenüberliegenden Seiten der Öffnung befindet, entfernt ist, so daß er dort die Öffnung nicht umgibt. Mit einer derartigen Ausführungsform wird in vorteilhafter Weise erreicht, daß die Fläche des Substrats um den Betrag des entfernten Teiles des Substrats reduziert werden kann. Damit wird ein geringerer Montageraum auf der Hauptplatine benötigt, um die Effizienz der Montage zu steigern.

Gemäß einem zehnten Aspekt der Erfindung wird ein Verfahren zur Herstellung von Halbleiteranordnungen angegeben, mit dem sich Halbleiteranordnungen hoher Montagedichte realisieren lassen. In einem ersten Verfahrensschritt wird eine Vielzahl von Halbleiteranordnungen auf der einen Seite einer Hauptplatine aufeinander gestapelt, wobei eutektische oder Hochtemperatur-Lotbuckel als Lotbuckel verwendet werden und ein Flußmittel oder eine Lötpaste den angrenzenden Bereichen zwischen den Lotbuckeln und anderen Bereichen zugeführt wird. In einem zweiten Schritt werden diese Lotbuckel geschmolzen, um die Vielzahl von Halbleiteranordnungen, die beim ersten Schritt auf der einen Oberfläche der Hauptplatine aufeinander gestapelt worden sind, elektrisch anzuschließen und zu befestigen. In einem dritten Verfahrensschritt wird die Hauptplatine umgedreht, und es wird eine Vielzahl von Halbleiteranordnungen auf der anderen Seite der Hauptplatine übereinander gestapelt, wobei Niedertemperatur-Lotbuckel als Lotbuckel verwendet werden und ein Flußmittel oder eine Lötpaste den angrenzenden Bereichen zwischen den Lotbuckeln und anderen Bereichen zugeführt wird. In einem vierten Schritt werden dann die zuletzt aufgebrachten Lotbuckel geschmolzen, um die Vielzahl von Halbleiteranordnungen, die in dem dritten Schritt auf der anderen Seite der Hauptplatine übereinander gestapelt worden sind, elektrisch anzuschließen und zu befestigen.

Bei dem erfindungsgemäßen Verfahren gemäß dem zehnten Aspekt der Erfindung ist es so, daß auch in einem Falle, in welchem die Substrate mit den IC-Gehäusen auf beiden Seiten in mehreren Stufen an beiden Seiten der Hauptplatine montiert sind, verhindert werden kann, daß die Substrate, auch wenn sie schwer sind, von der Rückseite der Hauptplatine während der Herstellung abfallen, so daß eine zuverlässige doppelseitige Montage gewährleistet ist.

Die Erfindung wird nachstehend, auch hinsichtlich weiterer Merkmale und Vorteile, anhand der Beschreibung von Ausführungsbeispielen und unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Die Zeichnungen zeigen in

Fig. 1 eine Draufsicht auf eine Halbleiteranordnung gemäß einer ersten bevorzugten Ausführungsform der Erfindung;

Fig. 2 eine Seitenansicht der Anordnung gemäß Fig. 1;

Fig. 3 eine schematische Seitenansicht einer Halbleiteranordnung gemäß einer zweiten bevorzugten Aus-

führungsform der Erfindung;

Fig. 4 eine schematische Seitenansicht einer Halbleiteranordnung zur Erläuterung einer dritten bevorzugten Ausführungsform gemäß der Erfindung;

Fig. 5 eine Teildraufsicht auf eine Halbleiteranordnung gemäß einer vierten bevorzugten Ausführungsform der Erfindung;

Fig. 6 eine Seitenansicht einer herkömmlichen Halbleiteranordnung;

Fig. 7 eine Draufsicht auf eine Halbleiteranordnung gemäß einer fünften bevorzugten Ausführungsform der Erfindung;

Fig. 8 eine Draufsicht auf eine Halbleiteranordnung gemäß der fünften bevorzugten Ausführungsform der Erfindung;

Fig. 9 eine Teildraufsicht auf eine Halbleiteranordnung gemäß einer sechsten bevorzugten Ausführungsform der Erfindung;

Fig. 10 eine Teildraufsicht auf eine Halbleiteranordnung gemäß der sechsten bevorzugten Ausführungsform der Erfindung; und in

Fig. 11 eine Seitenansicht zur Erläuterung einer modifizierten Halbleiteranordnung gemäß der Erfindung.

Erste Ausführungsform

Fig. 1 zeigt in der Draufsicht eine Halbleiteranordnung gemäß einer ersten bevorzugten Ausführungsform der Erfindung, während Fig. 2 eine schematische Seitenansicht einer derartigen Halbleiteranordnung zeigt. Die Halbleiteranordnung hat ein Substrat 11. Das Substrat 11 hat zwei Öffnungen 12, die mit seinen Ober- und Unterseiten in Verbindung stehen. Am Umfang von jeder Öffnung 12 sind Lötaugen oder allgemein Kontaktflecken 13 zur Montage von IC-Gehäusen an der Oberseite und der Unterseite des Substrats 11 vorgesehen. An den Außenseiten der Kontaktflecken 13 auf der Oberseite und der Unterseite des Substrats 11 sind Kontaktflecken 14 für äußere Anschlüsse vorgesehen, die als äußere Verbindungsanschlüsse entsprechend den Kontaktflecken 13 zur Montage der IC-Gehäuse dienen.

Entsprechende Kontaktflecken der Kontaktflecken 14 für äußere Anschlüsse und der Kontaktflecken 13 zur Montage des IC-Gehäuses sind über Zwischenverbindungen 15, die auf dem Substrat 11 vorgesehen sind, elektrisch verbunden. Ferner sind vertikal einander entsprechende Kontaktflecken der Kontaktflecken 14 für äußere Anschlüsse an der Oberseite und der Unterseite des Substrats 11 durch Leiter, die beispielsweise in Durchgangslöchern vorgesehen sind, elektrisch miteinander verbunden. Auf einer der Oberflächen des Substrats 11, bei der Ausführungsform gemäß Fig. 2 an der Unterseite, sind Lotbuckel 16 zur Verbindung nach außen auf den Kontaktflecken 14 für äußere Anschlüsse vorgesehen.

Das IC-Gehäuse 17 hat einen Gehäusekörper 18 und gerade Leitungen 19, die in Querrichtung von den rechten und linken Seiten des Gehäusekörpers 18 gerade vorstehen. Der Gehäusekörper 18 ist halb in der Öffnung 12 des Substrats 11 untergebracht. Das bedeutet, daß etwa die Hälfte des Gehäusekörpers 18 in der Öffnung 12 untergebracht ist und die andere Hälfte nach außen freiliegt. Die geraden Leitungen 19 sind an entsprechenden Kontaktflecken 13 zur Montage des IC-Gehäuses befestigt und mit diesen elektrisch verbunden, so daß sie von dem Substrat 11 an der Peripherie der Öffnung 12 getragen sind. Derartige IC-Gehäuse 17 sind

an beiden Seiten, der Oberseite und der Unterseite, des Substrats 11 für jede Öffnung 12 vorgesehen.

Das Prozedere für die Installation ist folgendermaßen. Zunächst einmal werden IC-Gehäuse 17 an der Oberseite des Substrats 11 positioniert und dann die geraden Leitungen 19 mit der Aufschmelz-Löttechnik an den Kontaktflecken 13 zur Montage des IC-Gehäuses angelötet. Anschließend wird das Substrat 11 umgedreht, und dann werden IC-Gehäuse 17 in gleicher Weise an der Unterseite des Substrats 11 angelötet.

Gemäß dieser ersten bevorzugten Ausführungsform ermöglicht die Montage der IC-Gehäuse 17 an beiden Seiten des Substrats 11, bei dem die IC-Gehäuse 17 halb in den Öffnungen 12 des Substrats 11 untergebracht sind, eine Reduzierung hinsichtlich der Dicke. Da weiterhin etwa der halbe Gehäusekörper 18 zur Außenseite hin freiliegt, wird das Wärmeabstrahlungsvermögen fast überhaupt nicht verschlechtert, auch wenn seine andere Hälfte in der Öffnung 12 untergebracht ist. Ferner erleichtert die Verwendung von geraden Leitungen 19 die Leiterverarbeitung. Weiterhin ermöglichen die Lotbukkel 16, die auf den Kontaktflecken 14 für äußere Anschlüsse auf der einen Oberfläche des Substrats 11 vorgesehen sind, in einfacher Weise, daß die Gehäuse in mehreren Schichten oder Etagen aufeinandergestapelt werden können, wie es nachstehend im Zusammenhang mit bevorzugten Ausführungsformen erläutert ist, um ihre Montagedicke zu erhöhen.

Zweite bevorzugte Ausführungsform

Fig. 3 zeigt eine schematische Seitenansicht einer Halbleiteranordnung gemäß einer zweiten bevorzugten Ausführungsform der Erfindung. Diese Halbleiteranordnung weist eine Hauptplatine 20 auf. Kontaktflecken 21 zum Montieren eines IC-Gehäuse-Montagesubstrats sind an der Oberseite der Hauptplatine 20 vorgesehen. Ein Substrat 11, bei dem die IC-Gehäuse 17 an beiden Seiten montiert sind, wie es im Zusammenhang mit der ersten bevorzugten Ausführungsform erläutert ist, ist an den Kontaktflecken 21 über die Lotbuckel 16 befestigt und elektrisch angeschlossen.

An den Kontaktflecken 14 für äußere Anschlüsse an der Oberseite der ersten Stapelstufe des Substrats 11 ist ein Substrat 11, an dem die IC-Gehäuse 17 an beiden Seiten montiert sind, wie es im Zusammenhang mit der ersten bevorzugten Ausführungsform beschrieben ist, mittels der Lotbuckel 16 weiter befestigt und elektrisch angeschlossen. Auf diese Weise ist eine Vielzahl von Substraten 11, die jeweils die IC-Gehäuse 17 an beiden Seiten haben, wie es im Zusammenhang mit der ersten Ausführungsform beschrieben ist, in einer Vielzahl von Etagen oder Stufen auf der einen Oberfläche der Hauptplatine 20 aufeinandergestapelt und mittels der Lotbukkel 16 angeschlossen und befestigt.

Der Vorgang zum Befestigen und Verbinden läuft folgendermaßen ab. Zunächst einmal werden die Substrate 11, welche die IC-Gehäuse 17 an beiden Seiten haben, die im Zusammenhang mit der ersten bevorzugten Ausführungsform erläutert worden sind, in einer mehrstufigen Anordnung auf der Oberseite der Hauptplatine 20 angeordnet. Zu diesem Zeitpunkt wird ein Flußmittel oder eine Lötspalte den angrenzenden Bereichen zwischen den Lotbuckeln 16 und den Kontaktflecken 14 und 21 zugeführt. Als nächstes werden die Lotbuckel 16 geschmolzen, um die mehrstufig angeordneten Substrate 11 und die Hauptplatine 20 zu verbinden und aneinander zu befestigen.

Gemäß dieser zweiten bevorzugten Ausführungsform ermöglicht das Anbringen der Substrate 11, die jeweils die IC-Gehäuse 17 an beiden Seiten haben, in einer mehrstufigen Anordnung auf der Hauptplatine 20 eine Verringerung der Montagefläche und führt zu einer Realisierung einer hohen Montagedicke. Da weiterhin die Substrate 11, welche die IC-Gehäuse 17 an beiden Seiten montiert haben, eine reduzierte Dicke besitzen, erfordert deren Montage in einer Vielzahl von 10 Stapelstufen keine große Dicke.

Dritte bevorzugte Ausführungsform

Fig. 4 zeigt eine schematische Seitenansicht einer Halbleiteranordnung gemäß einer dritten bevorzugten Ausführungsform der Erfindung. Die Hauptplatine 20 dieser Halbleiteranordnung hat Kontaktflecken 21, um ein IC-Gehäuse-Montagesubstrat sowohl an seiner Oberseite als auch an seiner Unterseite zu montieren. Während die zweite Ausführungsform eine Struktur zeigt, bei der die Substrate 11 mit den an beiden Seiten montierten IC-Gehäusen 17 gemäß der ersten bevorzugten Ausführungsform in mehreren Stufen aufeinandergestapelt und nur an der einen Oberfläche der Hauptplatine angeschlossen und befestigt sind, zeigt diese dritte bevorzugte Ausführungsform eine Struktur, bei der die Substrate 11 mit den an beiden Seiten montierten IC-Gehäusen 17 gemäß der ersten bevorzugten Ausführungsform in mehreren 30 Stufen aufeinandergestapelt und auch mit der anderen Oberfläche der Hauptplatine 20 verbunden und daran befestigt sind.

Das Verfahren zum Anschließen und Befestigen läuft folgendermaßen ab. Zunächst einmal werden gemäß dem Verfahren der zweiten bevorzugten Ausführungsform die Substrate 11 mit den daran montierten IC-Gehäusen 17 jeweils auf beiden Seiten gemäß der ersten Ausführungsform auf der einen Oberfläche der Hauptplatine 20 angeschlossen und befestigt. Zu diesem Zeitpunkt werden eutektische Lote oder Hochtemperatur-Lotbuckel als Lotbuckel 16a verwendet. Dann wird die Hauptplatine 20 umgedreht.

Anschließend werden gemäß dem anhand der zweiten bevorzugten Ausführungsform erläuterten Verfahren die Substrate 11 mit den jeweils an beiden Seiten montierten IC-Gehäusen 17 gemäß der ersten bevorzugten Ausführungsform ebenfalls in mehreren Stufen auf der anderen Oberfläche der Hauptplatine 20 befestigt und angeschlossen. Zu diesem Zeitpunkt werden Lotbuckel für niedrige Temperaturen als Lotbuckel 16b verwendet. Damit wird verhindert, daß die Lotbuckel 16a, die vorher geschmolzen und befestigt worden sind, erneut schmelzen, wenn die Lotbuckel 16b geschmolzen werden; damit wird verhindert, daß die mehrstufigen Anordnungen von Substraten 11 von der Rückseite der Hauptplatine 20 abfallen, auch wenn sie schwer sind, so daß eine doppelseitige mehrstufige Montage gewährleistet ist.

Gemäß der dritten bevorzugten Ausführungsform wird mit der Montage der Substrate 11, an denen die IC-Gehäuse 17 an beiden Seiten montiert sind, in einer mehrstufigen Anordnung auf beiden Seiten der Hauptplatine 20 eine noch höhere Montagedicke als bei der zweiten bevorzugten Ausführungsform realisiert.

Vierte bevorzugte Ausführungsform

Fig. 5 zeigt eine schematische Draufsicht auf eine

Halbleiteranordnung gemäß einer vierten bevorzugten Ausführungsform der Erfindung. Diese vierte bevorzugte Ausführungsform ist effizient und vorteilhaft, wenn IC-Gehäuse 17, die in einer Vielzahl von Stufen elektrisch angeschlossen sind, einige Leitungen nicht gemeinsam verwenden können. Bei der Anordnung gemäß Fig. 5 können bei den IC-Gehäusen 17, die an der Oberseite und der Unterseite des Substrates 11 montiert sind, die Leitung 19a des IC-Gehäuses 17 an der Oberseite und die Leitung 19b des IC-Gehäuses an der Unterseite nicht gemeinsam benutzt werden.

Gemäß der vierten bevorzugten Ausführungsform hat das Substrat 11 für den Zweck, die nicht gemeinsam verwendbaren Leitungen 19 separat zu verdrahten, zusätzliche Kontaktflecken für äußere Anschlüsse, d. h. Blindkontaktflecken 14a, die an der Oberseite und der Unterseite vorgesehen sind, um die Leitungen 19 zahlenmäßig zu übertreffen. Entsprechende Kontaktflecken der oberen und unteren Blindkontaktflecken 14a sind auch elektrisch miteinander verbunden wie die normalen Kontaktflecken 14 für äußere Anschlüsse. Bei dem Beispiel gemäß Fig. 5 ist die Leitung 19a des IC-Gehäuses 17 an der Oberseite elektrisch verbunden mit dem normalen Kontaktfleck 14 für äußere Anschlüsse, und zwar über die Zwischenverbindung 15, und die Leitung 19b des IC-Gehäuses 17 an der Unterseite ist mit dem Blindkontaktfleck 14a über die Zwischenverbindung 15 elektrisch verbunden.

Gemäß der vierten bevorzugten Ausführungsform ist es möglich, die IC-Gehäuse in mehreren Stufen zu montieren, wie es in Fig. 3 oder Fig. 4 dargestellt ist, auch wenn Leitungen vorhanden sind, die nicht gemeinsam verwendbar sind.

Fünfte bevorzugte Ausführungsform

Die Fig. 7 und 8 zeigen Draufsichten von Halbleiteranordnungen gemäß einer fünften bevorzugten Ausführungsform der Erfindung. Die Halbleiteranordnung gemäß Fig. 7 weist im Unterschied zu der Halbleiteranordnung gemäß der in Fig. 1 dargestellten ersten bevorzugten Ausführungsform ein Substrat 11 auf, das so geformt ist, daß ein Teil des Substrates 11, welches sich an der einen Seite (unterer Bereich in Fig. 7) von jeder der Öffnungen 12 befindet, entfernt ist, so daß es die Öffnungen 12 dort nicht umgibt.

Die Halbleiteranordnung gemäß Fig. 8 weist im Unterschied zu der Halbleiteranordnung gemäß der in Fig. 1 dargestellten ersten bevorzugten Ausführungsform ein Substrat 11 auf, das so geformt ist, daß Teile des Substrates 11, die sich an einem Paar von gegenüberliegenden Seiten (oberer und unterer Bereich in Fig. 8) von jeder der Öffnungen 12 befinden, entfernt sind, so daß sie die Öffnungen 12 dort nicht umgeben.

Im übrigen ist der Aufbau der Halbleiteranordnungen gemäß Fig. 7 und 8 ähnlich dem Aufbau von den Halbleiteranordnungen gemäß Fig. 1 und 2. Somit können die Halbleiteranordnungen gemäß Fig. 7 und 8 in einer mehrstufigen Montagekonfiguration gruppiert werden, wie es in Fig. 3 und 4 dargestellt ist.

Gemäß der fünften bevorzugten Ausführungsform verringert das teilweise Entfernen des Substrates 11 die Fläche des Substrates 11 entsprechend. Dies erfordert dann nur noch einen kleineren Montageraum auf der Hauptplatine, so daß die Montageeffizienz erhöht wird.

Sechste bevorzugte Ausführungsform

Die Fig. 9 und 10 zeigen Teildraufsichten auf Halbleiteranordnungen gemäß einer sechsten bevorzugten Ausführungsform der Erfindung. Die Halbleiteranordnungen gemäß Fig. 9 und 10 weisen Blindkontaktflecken 14a ähnlich wie bei der vierten bevorzugten Ausführungsform gemäß Fig. 5 auf. Bei der Halbleiteranordnung gemäß Fig. 5 sind die Blindkontaktflecken 14a mit den normalen Kontaktflecken 14 für äußere Anschlüsse in einer Linie ausgefluchtet.

Hingegen sind die Blindkontaktflecken 14a bei den Halbleiteranordnungen gemäß Fig. 9 und 10 außerhalb der linearen Matrix von normalen Kontaktflecken 14 für äußere Anschlüsse 14 ausgefluchtet. Wie sich aus Fig. 9 ergibt, sind die Blindkontaktflecken 14a unmittelbar neben den normalen Kontaktflecken 14 für äußere Anschlüsse positioniert. Wie sich aus Fig. 10 ergibt, sind die lineare Matrix der Blindkontaktflecken 14a und die lineare Matrix der normalen Kontaktflecken 14 für äußere Anschlüsse in einer versetzten Konfiguration angeordnet. Im übrigen ist der Aufbau der Halbleiteranordnungen gemäß Fig. 9 und 10 ähnlich den Halbleiteranordnungen gemäß Fig. 5.

Die sechste bevorzugte Ausführungsform bietet die nachstehend beschriebenen Vorteile zusätzlich zu dem oben beschriebenen Vorteil der vierten bevorzugten Ausführungsform. Genauer gesagt, wenn es eine Vielzahl von Leitungen gibt, die nicht gemeinsam von den oberen und unteren Oberflächen verwendet werden können, dann begrenzt die Anzahl der einzigen linearen Anordnung von Kontaktflecken gemäß Fig. 5 die Anzahl von Blindkontaktflecken 14a auf eine kleine Anzahl, so daß die Erfordernisse der Praxis nicht in hinreichendem Maße erfüllt werden.

In einem solchen Falle ermöglicht das Vorsehen der linearen Anordnung oder Matrix von Blindkontaktflecken 14a neben der linearen Anordnung oder Matrix von normalen Kontaktflecken 14 für äußere Anschlüsse, also die Anordnung von zwei linearen Anordnungen oder Matrizen von Kontaktflecken gemäß Fig. 9 und 10, daß eine größere Anzahl von Blindkontaktflecken 14a zur Verfügung steht, so daß die Erfordernisse der Praxis in ausreichendem Maße berücksichtigt sind.

Um die Anzahl von den vorzusehenden Blindkontaktflecken 14a zu erhöhen, sollte die Anzahl von linearen Anordnungen von Blindkontaktflecken 14a vergrößert werden, mit anderen Worten, die Blindkontaktflecken 14a sollten in drei oder mehr Reihen angeordnet sein. Ferner ermöglicht die versetzte Anordnung der Blindkontaktflecken gemäß Fig. 10, daß die Zwischenverbindungen 15 eine lineare Form haben können, was den Verdrahtungsvorgang erleichtert.

Modifikationen

Die Gestalt der Leitungen 19 ist nicht auf gerade Leitungen beschränkt. Es ist lediglich erforderlich, daß die Leitungen so geformt sind, daß der Gehäusekörper 18 halb in der jeweiligen Öffnung 12 des Substrates 11 untergebracht ist, wenn die Leitungen 19 auf dem Substrat 11 abgestützt sind. Damit wird eine Reduzierung der Dicke realisiert, ohne die Wärmeabstrahlung zu beeinträchtigen.

Der Ausdruck "halb untergebracht" hat im Rahmen der vorliegenden Erfindung die Bedeutung eines generellen Konzeptes, das nicht nur den Fall umfaßt, in welchem der Gehäusekörper 18 in der jeweiligen Öffnung

12 des Substrates 11 etwa zur Hälfte untergebracht ist, sondern auch diejenigen Fälle, wo ein beliebiger Anteil des Gehäusekörpers in dieser Öffnung 12 untergebracht ist. Wenn nur ein Teil des Gehäusekörpers 18 aus der Öffnung 12 heraus vorsteht und freiliegt, so trägt dies zu einer Reduzierung der Dicke der Gesamtanordnung bei, ohne die Wärmeabstrahlung ernstlich zu verringern.

Bei den oben beschriebenen Ausführungsformen sind weiterhin beide Gehäusekörper 18 an der Unterseite und der Oberseite des Substrates 11 in der jeweiligen Öffnung 12 halb untergebracht. Es kann jedoch auch nur der eine Gehäusekörper 18, beispielsweise der Gehäusekörper 18 an der Unterseite der Anordnung gemäß Fig. 11 halb in der Öffnung 12 untergebracht sein. Da in einem solchen Falle die Dicke des Substrats 11, die es ermöglicht, daß der eine der Gehäusekörper 18 in der Öffnung 12 halb untergebracht wird, ausreichend ist, kann das Substrat 11 relativ dünn sein.

Im allgemeinen ist es bekannt, daß ein Randabstand zwischen dem Ende des Substrats und einem Leitungs- muster auf dem Substrat proportional zu der Dicke des Substrats 11 ist, und zwar hinsichtlich der Zuverlässigkeit während der Bearbeitung der äußeren Gestalt des Substrats. Bei der Ausführungsform der Halbleiteranordnung gemäß Fig. 11 sorgt somit das relativ dünne Substrat für den kürzeren Randabstand, so daß es möglich ist, eine Reduzierung der Größe der Anordnung zu erreichen.

Auch wenn die beschriebenen Ausführungsformen Fälle zeigen, in denen die Leitungen 19 von den gegenüberliegenden beiden Seiten des Gehäusekörpers 18 vorstehen, kann die vorliegende Erfindung in ähnlicher Weise auch in denjenigen Fällen Anwendung finden, in denen diese Leitungen von vier Seiten vorstehen, wobei dies bei der fünften Ausführungsform nur mit Einschränkungen gilt.

Patentansprüche

1. Halbleiteranordnung, umfassend
 - ein Substrat (11) mit einer Öffnung (12); und
 - integrierte Schaltungen in Gehäusen (17), die jeweils einen Gehäusekörper (18), der der Öffnung (12) gegenüberliegt, und Leitungen (19) aufweisen, die von dem Gehäusekörper (18) aus vorstehen und auf dem Substrat (11) am Umfang der Öffnung (12) abgestützt sind, wobei die integrierten Schaltungen in Gehäusen (17) an der Oberseite und der Unterseite des Substrats (11) bezüglich der Öffnung (12) angeordnet sind, wobei zumindest eine von den integrierten Schaltungen in Gehäusen (17) an der Oberseite und der Unterseite halb in der Öffnung (12) untergebracht ist.
2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Leitungen (19) gerade Leitungen sind.
3. Halbleiteranordnung nach Anspruch 1 oder 2, gekennzeichnet durch
 - Anschlüsse (14) für äußere Verbindungen, die auf der Oberseite und der Unterseite des Substrats (11) angeordnet sind und mit den Leitungen (19) auf der jeweiligen Oberflächenseite elektrisch verbunden sind, wobei entsprechende Anschlüsse für die äußere Verbindung an der Oberseite und der Unterseite elektrisch miteinander verbunden sind, und
 - Lotbuckel (16), die auf den Anschlüssen (14)

für äußere Verbindungen auf der einen Oberflächenseite des Substrats (11) vorgesehen sind.

4. Halbleiteranordnung nach Anspruch 3, dadurch gekennzeichnet, daß eine Vielzahl von Halbleiteranordnungen auf der einen Seite einer Hauptplatine (20) aufeinandergestapelt und mit den Lotbuckeln (16) verbunden und befestigt sind.
5. Halbleiteranordnung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß eine Vielzahl von Halbleiteranordnungen übereinandergestapelt auf beiden Seiten der Hauptplatine (20) angeordnet und mit den Lotbuckeln (16) verbunden und befestigt sind.
6. Halbleiteranordnung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Anschlüsse (14) für äußere Verbindungen einen Blindanschluß (14a) aufweisen, um die Anzahl der Leitungen (19) zu vergrößern.
7. Halbleiteranordnung nach Anspruch 6, dadurch gekennzeichnet, daß der Blindanschluß (14a) eine Vielzahl von Blindanschlüssen (14a) aufweist, die in mindestens einer linearen Anordnung ausgefluchtet sind, die sich von einer linearen Anordnung unterscheiden, in der die von den Blindanschlüssen (14a) verschiedenen Anschlüsse (14) für äußere Verbindungen ausgefluchtet sind.
8. Halbleiteranordnung nach Anspruch 7, dadurch gekennzeichnet, daß die lineare Anordnung von Blindanschlüssen (14a) und die lineare Anordnung der von den Blindanschlüssen (14a) verschiedenen Anschläßen (14) für äußere Verbindungen in einer versetzten Konfiguration ausgebildet sind.
9. Halbleiteranordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß das Substrat (11) so geformt ist, daß ein Teil des Substrats (11), der sich an der einen Seite oder an einem Paar von gegenüberliegenden Seiten der Öffnung (12) befindet, entfernt ist, so daß er dort die Öffnung (12) nicht umgibt.
10. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 1 bis 9, gekennzeichnet durch folgende Verfahrensschritte:
 - einen ersten Schritt, bei dem eine Vielzahl von Halbleiteranordnungen auf der einen Seite einer Hauptplatine (20) übereinandergestapelt werden, wobei eutektische oder Hochtemperatur-Lotbuckel als Lotbuckel (16) verwendet werden und ein Flußmittel oder eine Lötpaste den angrenzenden Bereichen zwischen den Lotbuckeln (16) und anderen Bereichen zugeführt wird,
 - einen zweiten Schritt, bei dem die Lotbuckel (16) geschmolzen werden, um die Vielzahl von Halbleiteranordnungen, die bei dem ersten Schritt auf der einen Oberfläche der Hauptplatine (20) aufeinandergestapelt worden sind, anzuschließen und zu befestigen,
 - einen dritten Schritt, bei dem die Hauptplatine (20) umgedreht wird und eine Vielzahl von Halbleiteranordnungen auf der anderen Seite der Hauptplatine (20) übereinandergestapelt werden, wobei Niedertemperatur-Lotbuckel als Lotbuckel (16) verwendet werden und ein Flußmittel oder eine Lötpaste den angrenzenden Bereichen zwischen den Lotbuckeln (16) und anderen Bereichen zugeführt wird, und
 - einen vierten Schritt, bei dem die Lotbuckel

(16) geschmolzen werden, um die Vielzahl von Halbleiteranordnungen anzuschließen und zu befestigen, die bei dem dritten Schritt auf der anderen Seite der Hauptplatine (20) aufeinander gestapelt worden sind.

5

Hierzu 8 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

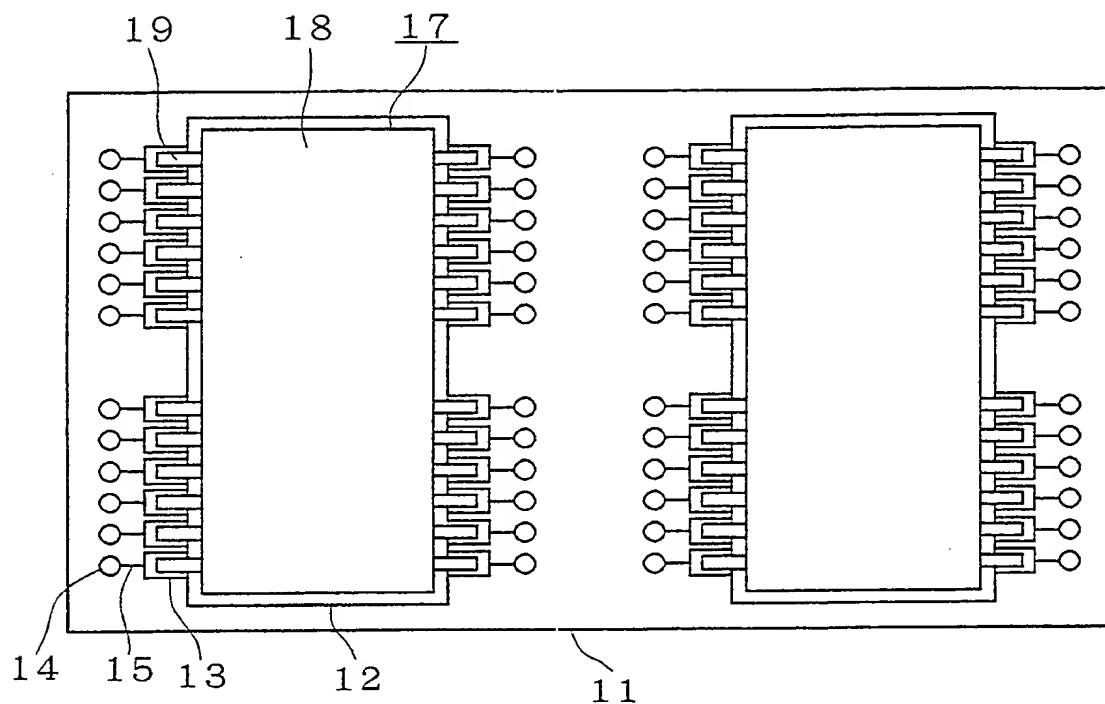
55

60

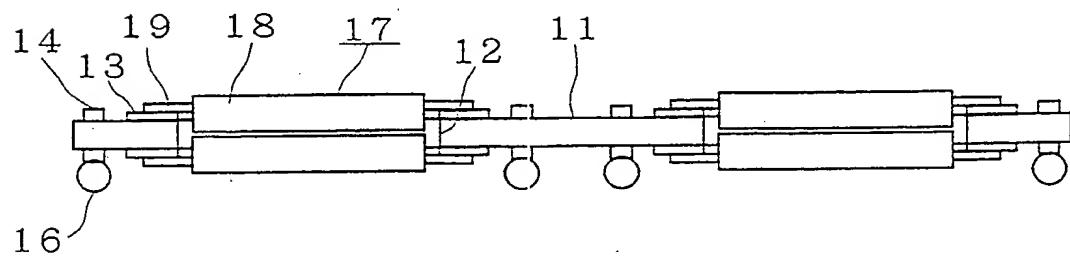
65

- Leere Seite -

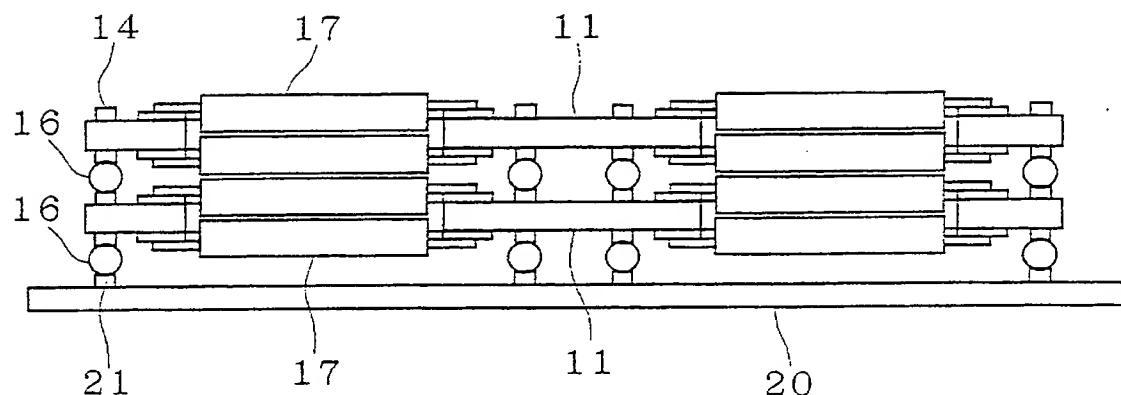
F I G. 1



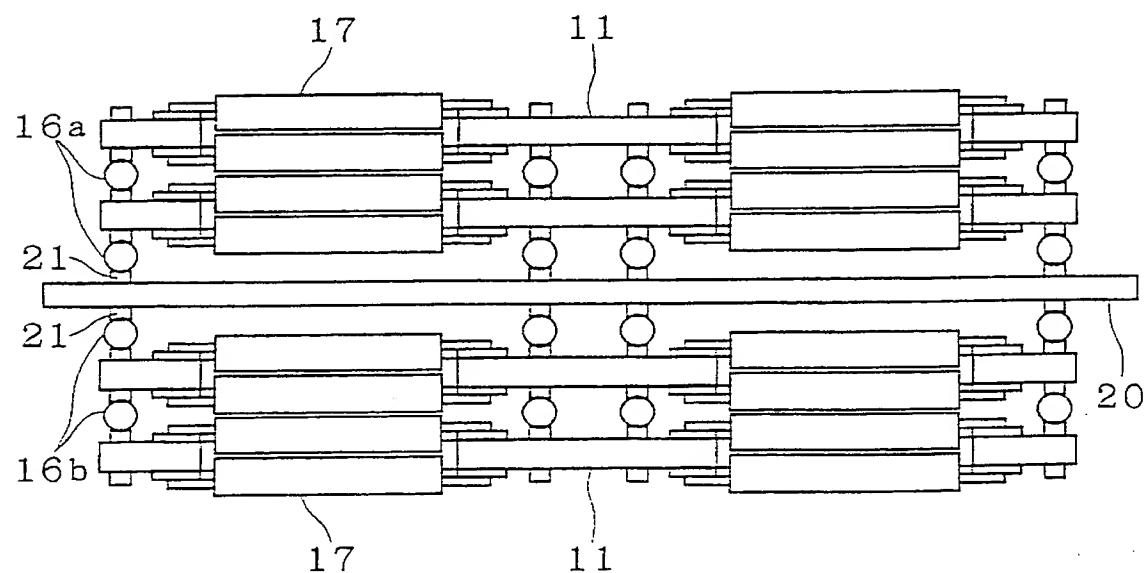
F I G. 2



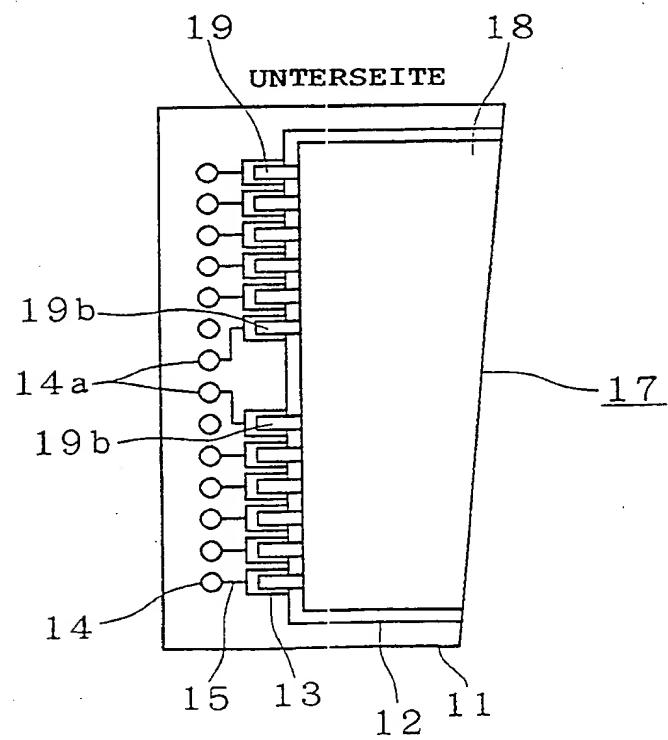
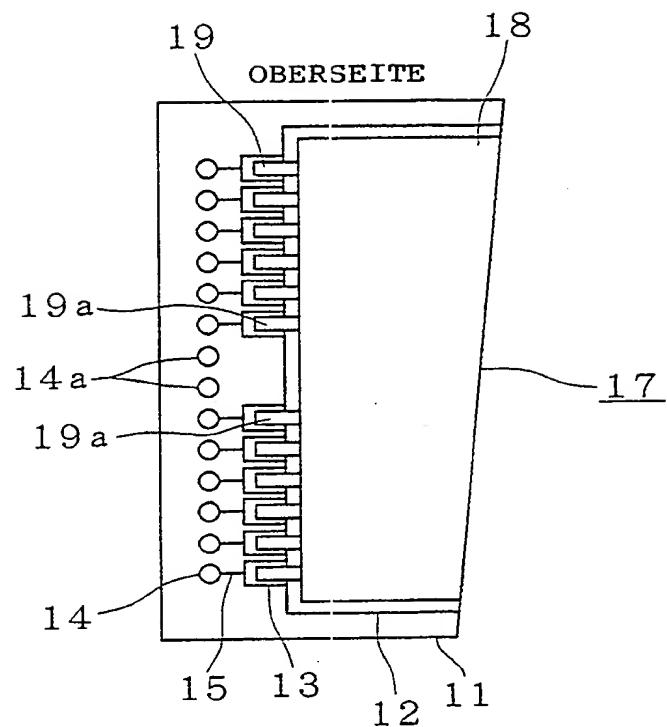
F I G. 3



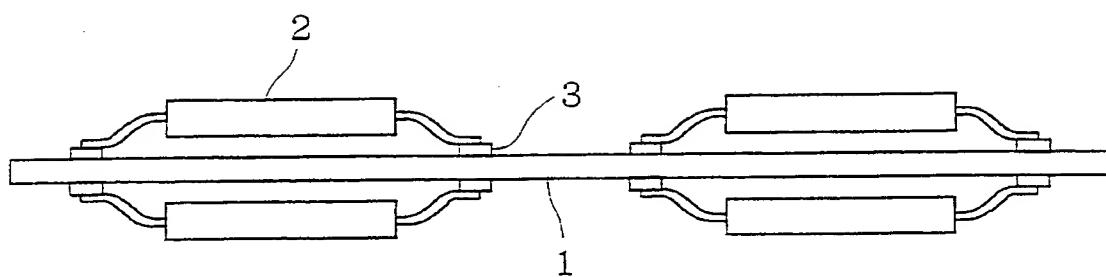
F I G. 4



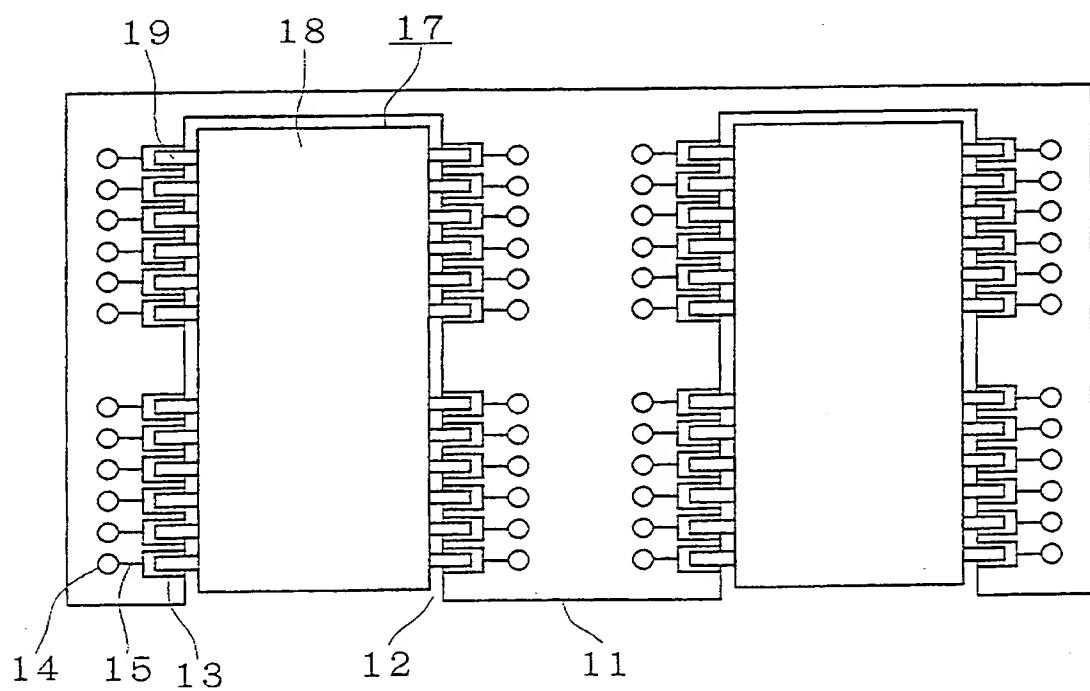
F I G. 5



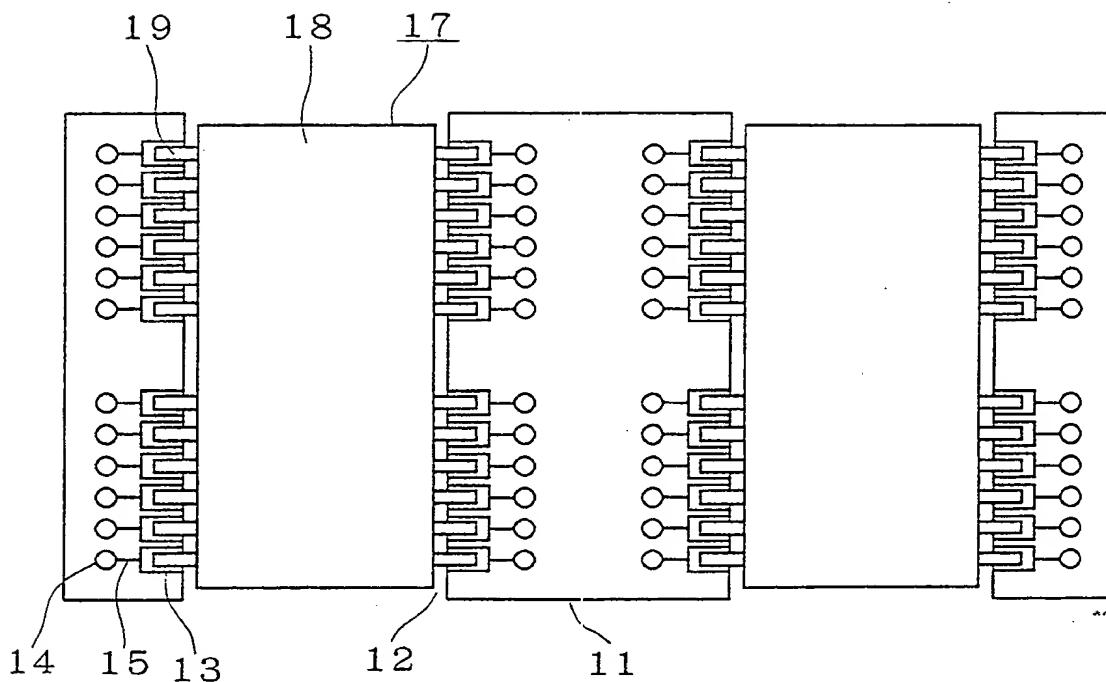
F I G. 6



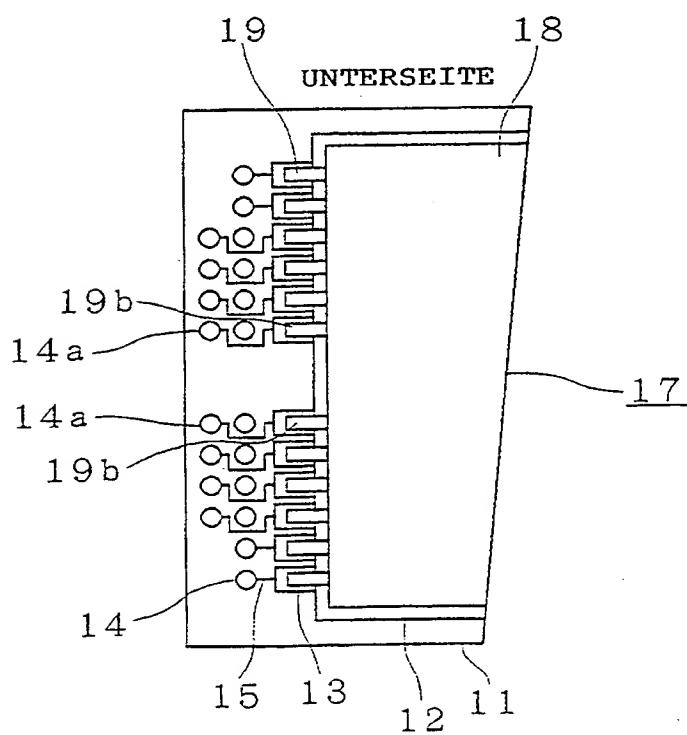
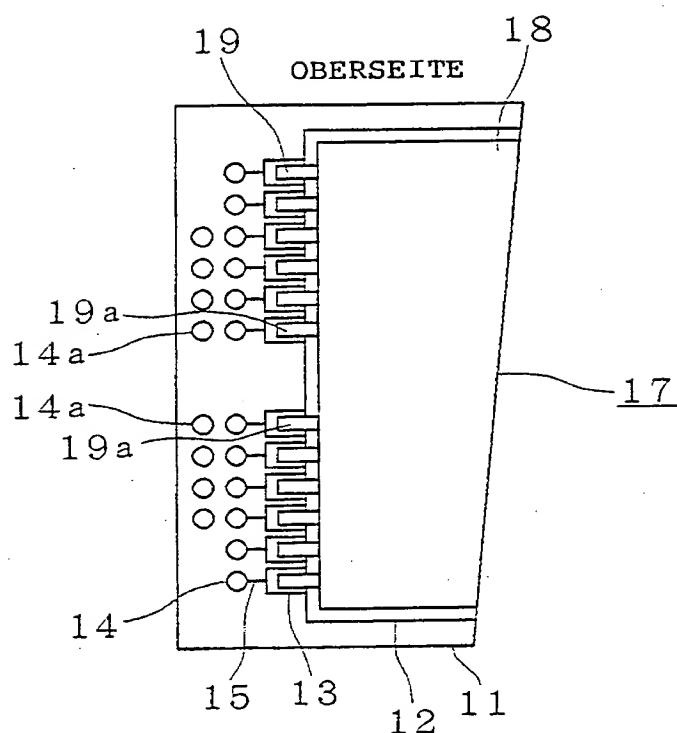
F I G. 7



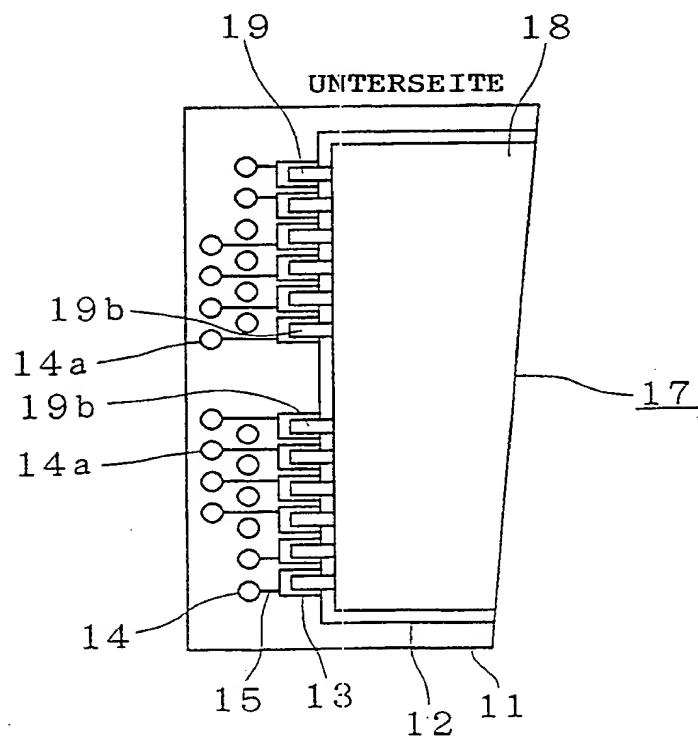
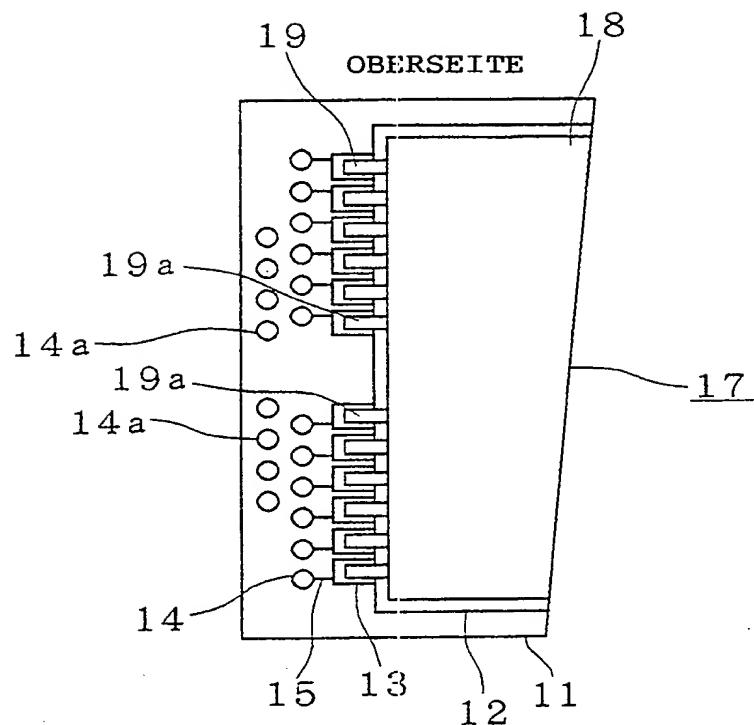
F I G. 8



F I G. 9



F I G. 1 0



F I G. 1 1

